

積層チップ間接続の新技术が登場 Si基板で伝送し低コスト化

民生機器向けで実用化狙う

3次元に積層したLSIチップ間を接続するための新たな信号伝送技術が登場した(表1)。薄型化したSi基板そのものを伝送媒体として使う技術で、国内ベンチャー企業のソーバスメモリが開発した^{注1)}。既存の半導体プロセスでほぼ実現できるため、Si基板に穴を開けて電極を埋め込むTSV (through silicon via) 技術などに比べて低コストで3次元実装が可能になるという。民生機器向けSiP (system in package) におけるワイヤ・ボンディングの置き換えなどを目指す^{注2)}。

L,CでできるならRでも

ワイヤ・ボンディングの代替を狙うチップ間伝送技術は、TSVのほかに

も、いくつか提案されている。代表的な技術は2種類ある。一つは、LSIの配線で作ったコイルの磁界結合を利用する技術である。多数の積層チップ間の伝送が可能だが、現時点では実用化されていない。もう一つは、容量結合を用いた伝送技術である。回路構造を簡略化しやすく微細化に向くものの、積層可能なチップ数が2個に限られる。

今回の方法は、磁界結合や容量結合をヒントに考案したという。「LSIのインダクタ(L)や容量(C)をチップ間接続に使えるのであれば、抵抗(R)も利用できると考えた」(ソーバスメモリ代表取締役社長の徳重和雄氏)。この技術のユニークな点は、Si基板を

伝送媒体として利用することにある。つまり、Si基板を抵抗器として使い、電流を流すことで信号を伝送する。

例えば、チップ1(パッドA)から、直上のチップ2(パッドA)に信号を伝送する場合を考える(図1)^{注3)}。この際、チップ2のパッドAの直下に電流を流すための裏面電極を形成しておく。チップ1からチップ2への電圧の伝わりやすさを表す電圧伝達係数は、チップ2のパッドAと裏面電極の間のコンダクタンス g_c 、および、チップ2のパッドAと隣接するパッドBの間のコンダクタンス g_p の比に応じて決まる。 g_p に比べて、 g_c が十分大きければ、クロストークを抑えられ、チップ間で安定的に信号伝送ができる。

表1 主なチップ間信号伝送技術の特徴

チップ間信号伝送技術	今回の方法 (Si基板の抵抗による伝送)	無線通信 (配線層のインダクタによる伝送)	TSV (導通)
構造			
コスト	低 (既存プロセスでほぼ実現できる)	低 (既存プロセスでほぼ実現できる)	高 (特殊なウエハー処理が必要)
電圧伝達係数	0.5~0.6 (最適化が必要)	0.5程度	1.0
周波数特性	現状のSi基板の抵抗, 容量ではおよそ2GHz	インダクタンスに依存する	高周波に適用可能
信号配線の密度	中程度	中~高	極めて高

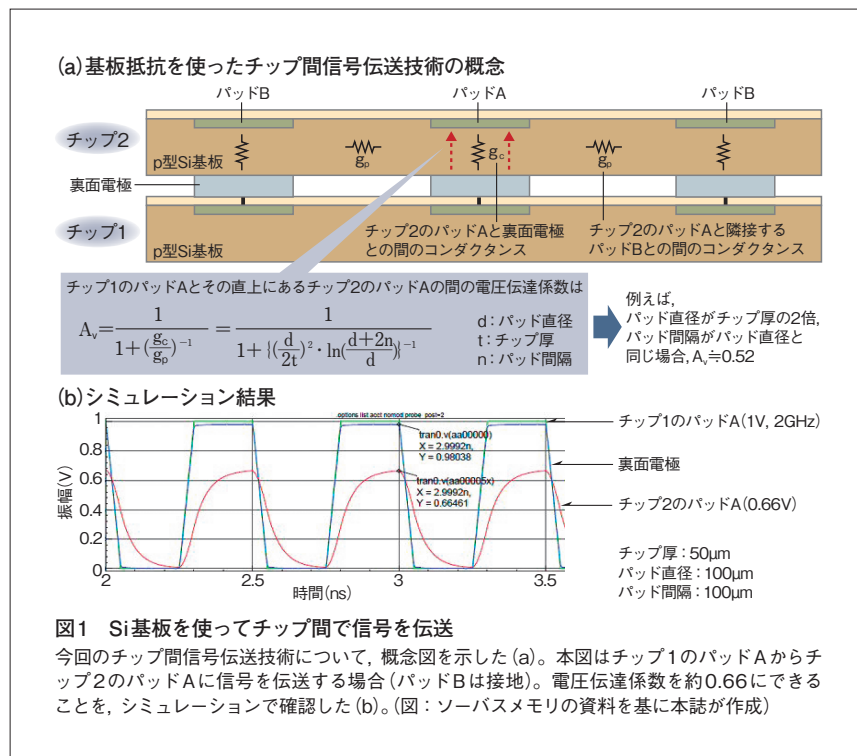
チップの薄型化がカギ

この考え方をチップ間積層に利用できるようになった背景には、3次元実装の普及に伴いチップの薄型化が進んだことがある。3次元実装では、パッケージ内部に収めるためにチップを極めて薄くする。この結果、パッド間隔に依存する g_p に比べて g_c が相対的に大きくなり、裏面電極と直上のパッド間で信号を伝達できるようになったのである。従来はパッド間隔に対してチップが厚かったため g_p が大きく、たとえ裏面電極を設けたとしても、隣接パッドに不要な信号が伝達してしまうクロストークの方が優位だった。つまり、チップの薄型化なくしては、今回の技術は成立しなかったわけだ。

今回の技術が低コスト化しやすい理由は、動作原理に起因する。Si基板を伝送媒体に使うため、裏面電極以外は通常の半導体プロセスで製造できる。こうした理由から、伝送用に貫通ビアを形成するTSVなどに比べてコストを低くできる。

ソバメモリは、今回の技術は、原理的には信号の高速伝送に向くと主張する。「磁界結合を利用した無線通信技術は、データの伝送のために電流を変化させる必要がある。我々の技術はTSVと同様、直流的に扱えるため、より高速な伝送が可能」(徳重氏)という。

短所は、チップ間の信号配線の密度を高めにくいこと。パッド間の距離を短くすると、前述した g_p が大きくな



り、クロストークが増大するからだ。厚さ50 μ mのチップを用いた場合、チップ間で安定的に信号を伝送するためには、パッドの直径とパッド間隔を共に100 μ m程度にすることが望ましい(図1(b))。現実的にはチップ当たりの端子数が100個程度にとどまるようだ。

コスト要求が厳しい用途へ

ソバメモリは、今回の技術が最も向くのは、民生機器などコスト要

求が厳しい用途とみる。例えば、デジタルICとメモリIC、RF ICを積層したSiPである。チップ間の接続端子数を100個以下に抑制できそうだからである。4チップまでの積層であれば、特別な増幅回路などを搭載せずともチップ間伝送を実現できる。

ソバメモリは、この技術を他社にライセンス供与する方針である。このパートナー探しと並行して、試作による検証なども順次進める。

(宇野 麻由子) 図

注1) ソバメモリは、特定用途向けのDRAM開発などを手掛けるベンチャー企業である。

注2) ソバメモリは、シリコン・インターポザを使ったSiPの実装技術開発などを手掛ける国内ベンチャー企業であるリキッド・デザ

イン・システムズと、技術の相互利用やマーケティングなどで協業している。

注3) 積層チップ間のパッドA同士で信号伝送する場合、隣接するパッドBは接地する。

†コンダクタンス=回路での電流の流れやすさ。